

製品仕様書

品 名 64 Mbit フラッシュメモリ

L H 2 8 F 6 4 0 B F N - P T T L Z 5

※この製品仕様書は、表紙、付属書等を含めて全 36 頁で構成されております。

シャープ株式会社
IC 事業本部
フラッシュメモリー事業部
第 1 商品開発部

〒 632-8567
天理市櫟本町 2613 番地の 1
TEL 0743-65-1321 (大代)
FAX 0743-65-1345

備考：本製品仕様書をもってデータシートとさせていただきます。

○本仕様書は弊社の著作権に係わる内容も含まれていますので、取り扱いには充分御注意頂くと共に、本仕様書の内容を弊社に無断で複製しない様御願ひ申し上げます。

○本製品の御使用に際しては本仕様書に記載された使用条件及び以下の注意事項を遵守願ひます。

本仕様書記載の使用条件或いは以下の注意事項を逸脱した本製品の使用等に起因する損害に関して、弊社は一切その責を負いません。

(注意事項)

①本製品は原則として下記の用途に使用する目的で製造された製品です。

尚、下記の用途であっても、②に記載の各種安全装置に使用される場合は②の注意事項を遵守願ひます。
又、下記の用途であっても、それが③に記載の各種機器を構成する場合は御使用にならないで下さい。

- ・ O A 機器 ・ 計測器 ・ 工作機器 ・ A V 機器
- ・ 家電製品 ・ 通信機器 (幹線以外)

②特に高い信頼性が必要とされる下記の機器に本製品を使用される場合は、必ず事前に弊社販売窓口まで御連絡頂くと共に、これらのシステム・機器全体の信頼性及び安全性維持の為に御客様の責任において機器側のフェールセーフ設計や冗長設計等の適切な措置を講じて頂く様御願ひ致します。

- ・ 運送関係 (航空機, 列車, 自動車等) の制御又は各種安全性に係わるユニット
- ・ 大型電算機 ・ 交通信号機 ・ ガス漏れ検知遮断機 ・ 防災防犯装置
- ・ その他各種安全装置等 等

③機能、精度等において極めて高い信頼性が要求される以下の機器には御使用にならないで下さい。

- ・ 航空宇宙機器 ・ 通信機器 (幹線) ・ 原子力制御機器
- ・ 生命維持に係わる医療機器 等

④上記①②③の何れに該当するか疑義がある場合は弊社販売窓口まで御確認願ひます。

○本製品につき御不明な点が有りましたら事前に弊社販売窓口まで御連絡頂きます様御願ひ致します。

目 次

ページ	ページ
44 ピン SOP 端子配置図..... 3	1 電気的特性..... 14
端子の説明 4	1.1 絶対最大定格..... 14
メモリマップ 5	1.2 動作条件..... 14
ID コード、読み出し動作用 OTP アドレス 6	1.2.1 端子容量..... 15
プログラム動作用 OTP ブロック・ アドレスマップ 7	1.2.2 AC 入出力テスト条件 15
バス動作 8	1.2.3 DC 特性 16
コマンド定義 9	1.2.4 AC 特性 – 読み出し動作時..... 17
ブロック・ロック、ブロック・ ロックダウンの機能 11	1.2.5 AC 特性 – 書き込み動作時..... 20
コマンド書き込みによるロックビット、 ロックダウンビットの状態遷移 11	1.2.6 リセット動作..... 22
ステータスレジスタの定義 12	1.2.7 ブロック消去、フルチップ消去、 (ページバッファ) プログラム、 および OTP プログラム動作 23
エクステンド・ステータスレジスタの定義..... 13	2 関連資料情報..... 24
	3 機種情報..... 25
	外形寸法図..... 26
	包装仕様..... 27

LH28F640BFN-PTTLZ5

64Mbit (4Mbit×16)

ページ・モード・フラッシュメモリ

- メモリ容量 64M ビット、ビット構成×16
- 高速読み出し
 - 90/35ns 8 ワード・ページ・モード
- 低消費電力動作
 - 2.7V 読み出し、書き換え動作
 - オート・パワーセーブ・モードにより I_{CCR} を低減
- 高性能 (コード+データ) 記憶機能
 - 標準 5 μ s の消去/プログラム中断
- OTP (One Time Program) ブロック
 - 4 ワードの工場出荷時プログラム領域
 - 4 ワードのユーザ・プログラム領域
- ページバッファを用いた高速プログラム
 - 16 ワード・ページバッファ
- 動作温度範囲 0°C~+70°C
- ブロック構成
 - 8 個の 4K ワード・パラメータブロック
 - 127 個の 32K ワード・メインブロック
 - トップパラメータ
- CMOS プロセス (P 型シリコン基板)
- データ保護機能
 - ブロック単位でのブロック・ロック、ブロック・ロックダウンの設定、解除が可能
 - 電源投入後、リセット後は全ブロック・ロック状態
 - 電源投入、遮断時のブロック消去、フルチップ消去、(ページバッファ) プログラムの禁止機能
- 自動消去/プログラム・アルゴリズム搭載
 - 3.0V において 11 μ s/ ワード (Typ.) プログラム
- 標準コマンド・セット搭載
 - 基本コマンド・セット
 - Common Flash Interface (CFI)
- 書き換え特性
 - ブロック消去回数 10 万回 (Min.)
- 44 ピン SOP
- ETOXTM* 不揮発性フラッシュ技術
- 耐放射線設計はしていません。

ページ・モード・フラッシュメモリである本製品は、低消費電力、大容量、低コスト、不揮発性、かつ電氣的書き換え可能などの特徴を備え、広範囲のアプリケーションに適しています。本製品は、 $V_{CC}=2.7V\sim3.6V$ の低電圧で動作するため、携帯機器のバッテリー寿命を大幅に伸ばすことができます。

本製品は非同期ページ・モード機能を備えています。これら的高速読み出し機能により、フラッシュメモリから直接、高速にアプリケーション起動が可能となり、ウェイト・ステートを省略することができます。

メモリ・アレイのブロックにはデータ保護機能があり、パラメータブロックとメインブロックから成るブロック構成により、コード領域とデータ領域をフレキシブルに割り付けることができます。

内蔵のページバッファを使用することで高速プログラムを実現できます。

OTP (One Time Program) ブロックに、セキュリティ用のコードなどを保存し、そのデータを保護する機能があります。

* ETOX は Intel Corporation の登録商標です。

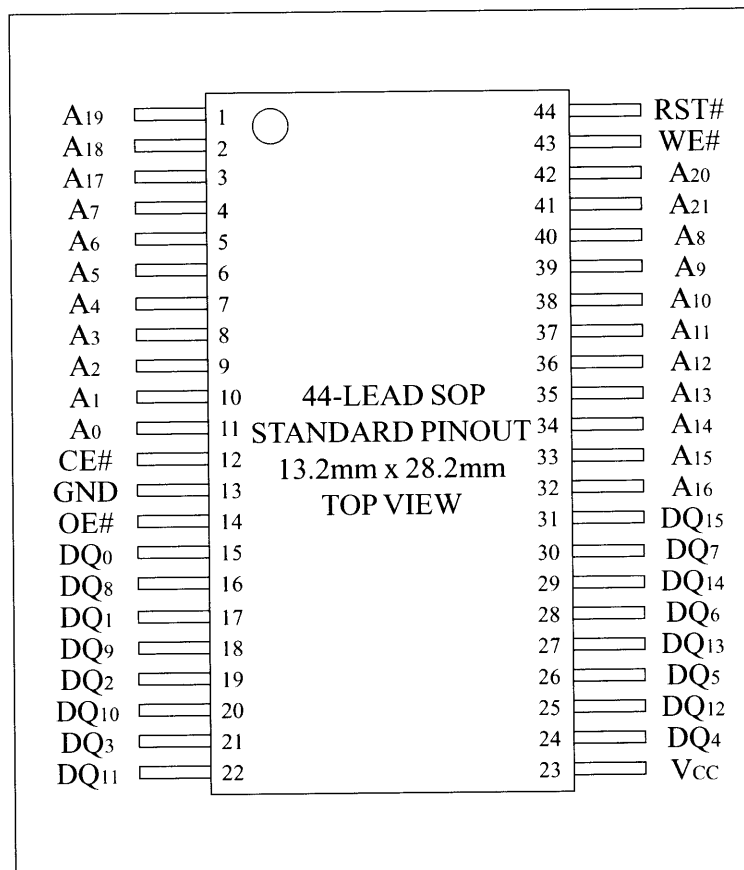


図 1. 44 ピン SOP 端子配置図

表 1. 端子の説明

端子名	タイプ	名前と機能
A ₀ -A ₂₁	入力	アドレス入力: アドレス入力端子 64M: A ₀ -A ₂₁
DQ ₀ -DQ ₁₅	入力/出力	データ入出力: CUI(Command User Interface) へ書き込むデータ、コマンド入力、およびメモリ・アレイ、ステータスレジスタ、クエリ・コード、および ID コード読み出しデータ出力です。チップ非選択、または出力ディセーブルの時はハイ・インピーダンス (High Z) 状態です。データは消去、またはプログラム動作中、内部でラッチされます。
CE#	入力	チップ・イネーブル: デバイスのコントロール・ロジック、入力バッファ、デコード、およびセンスアンプをアクティブにします。CE# が V _{IH} の時、デバイスは非選択となり、消費電力はスタンバイ・レベルになります。
RST#	入力	リセット: RST# が V _{IL} の時、デバイス内部は自動的にリセットされ、消去、およびプログラム動作が禁止されるのでデータは保護されます。RST# が V _{IH} の時、デバイスは通常動作モードになります。電源投入後、またはリセット・モードからの復帰後、デバイスは自動的に非同期アレイ読み出しモードになります。読み出し動作のみの時は、RST# 端子を V _{CC} 端子に直結が可能です。
OE#	入力	出力イネーブル: 読み出し動作において、デバイスの出力端子を制御します。
WE#	入力	ライト・イネーブル: CUI、およびメモリ・アレイへの書き込みを制御します。アドレスとデータは CE# または WE# のいずれか早い方の立ち上がりエッジでラッチされます。
V _{CC}	供給	デバイス電源 (2.7V-3.6V): V _{CC} ≤ V _{LKO} の時、フラッシュメモリへの書き込み動作は禁止されます。無効な V _{CC} 電圧 (DC 特性を参照) での使用は誤動作の原因となるので、そのような使い方はしないで下さい。
GND	供給	グラウンド: グラウンド端子は全て接続して下さい。

ブロック No.	アドレス範囲
134	4K-WORD
133	4K-WORD
132	4K-WORD
131	4K-WORD
130	4K-WORD
129	4K-WORD
128	4K-WORD
127	4K-WORD
126	32K-WORD
125	32K-WORD
124	32K-WORD
123	32K-WORD
122	32K-WORD
121	32K-WORD
120	32K-WORD
119	32K-WORD
118	32K-WORD
117	32K-WORD
116	32K-WORD
115	32K-WORD
114	32K-WORD
113	32K-WORD
112	32K-WORD
111	32K-WORD
110	32K-WORD
109	32K-WORD
108	32K-WORD
107	32K-WORD
106	32K-WORD
105	32K-WORD
104	32K-WORD
103	32K-WORD
102	32K-WORD
101	32K-WORD
100	32K-WORD
99	32K-WORD
98	32K-WORD
97	32K-WORD
96	32K-WORD
95	32K-WORD
94	32K-WORD
93	32K-WORD
92	32K-WORD
91	32K-WORD
90	32K-WORD
89	32K-WORD
88	32K-WORD
87	32K-WORD
86	32K-WORD
85	32K-WORD
84	32K-WORD
83	32K-WORD
82	32K-WORD
81	32K-WORD
80	32K-WORD
79	32K-WORD
78	32K-WORD
77	32K-WORD
76	32K-WORD
75	32K-WORD
74	32K-WORD
73	32K-WORD
72	32K-WORD
71	32K-WORD
70	32K-WORD
69	32K-WORD
68	32K-WORD
67	32K-WORD
66	32K-WORD
65	32K-WORD
64	32K-WORD

ブロック No.	アドレス範囲
63	32K-WORD
62	32K-WORD
61	32K-WORD
60	32K-WORD
59	32K-WORD
58	32K-WORD
57	32K-WORD
56	32K-WORD
55	32K-WORD
54	32K-WORD
53	32K-WORD
52	32K-WORD
51	32K-WORD
50	32K-WORD
49	32K-WORD
48	32K-WORD
47	32K-WORD
46	32K-WORD
45	32K-WORD
44	32K-WORD
43	32K-WORD
42	32K-WORD
41	32K-WORD
40	32K-WORD
39	32K-WORD
38	32K-WORD
37	32K-WORD
36	32K-WORD
35	32K-WORD
34	32K-WORD
33	32K-WORD
32	32K-WORD
31	32K-WORD
30	32K-WORD
29	32K-WORD
28	32K-WORD
27	32K-WORD
26	32K-WORD
25	32K-WORD
24	32K-WORD
23	32K-WORD
22	32K-WORD
21	32K-WORD
20	32K-WORD
19	32K-WORD
18	32K-WORD
17	32K-WORD
16	32K-WORD
15	32K-WORD
14	32K-WORD
13	32K-WORD
12	32K-WORD
11	32K-WORD
10	32K-WORD
9	32K-WORD
8	32K-WORD
7	32K-WORD
6	32K-WORD
5	32K-WORD
4	32K-WORD
3	32K-WORD
2	32K-WORD
1	32K-WORD
0	32K-WORD

図 2. メモリマップ (トップパラメータ)

表 2. ID コード、読み出し動作 OTP アドレス

	コード	アドレス [A ₂₁ -A ₀]	データ [DQ ₁₅ -DQ ₀]	注
メーカー・コード	メーカー・コード	000000H	00B0H	
デバイス・コード	トップパラメータ デバイス・コード	000001H	00B0H	1
ブロック・ロック情報	ロックビット解除状態	ブロック アドレス + 2	DQ ₀ = 0	2
	ロックビット設定状態		DQ ₀ = 1	2
	ロックダウンビット解除状態	ブロック アドレス + 2	DQ ₁ = 0	2
	ロックダウンビット設定状態		DQ ₁ = 1	2
OTP	OTP ロック	000080H	OTP-LK	3
	OTP	000081- 000088H	OTP	4

注：

1. トップパラメータのデバイスでは、パラメータブロックは最上位アドレスにあります。
2. DQ₁₅-DQ₂ は将来の拡張のために未使用。
3. OTP-LK=OTP ブロック・ロック情報
4. OTP=OTP ブロック内のデータ

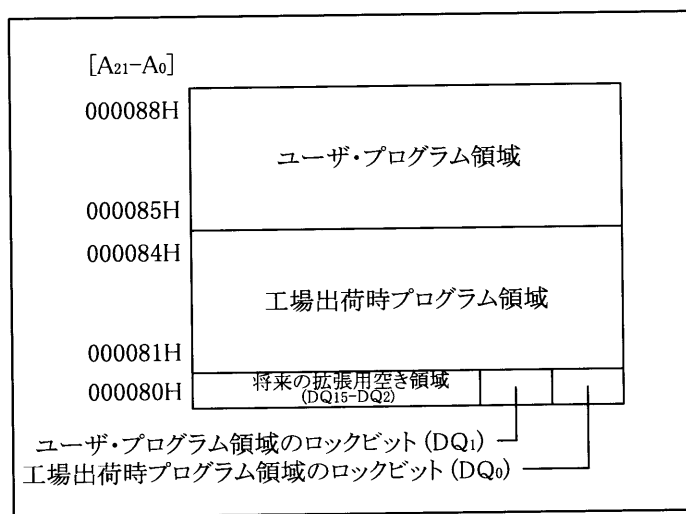


図 3. プログラム動作用 OTP ブロック・アドレスマップ
(80H~88H 以外の領域は使用できません。)

表 3. バス動作^(1,2)

モード	注	RST#	CE#	OE#	WE#	アドレス	DQ ₀₋₁₅
アレイ読み出し	6	V _{IH}	V _{IL}	V _{IL}	V _{IH}	X	D _{OUT}
出力禁止		V _{IH}	V _{IL}	V _{IH}	V _{IH}	X	High Z
スタンバイ		V _{IH}	V _{IH}	X	X	X	High Z
リセット	3	V _{IL}	X	X	X	X	High Z
ID コード /OTP 読み出し	6	V _{IH}	V _{IL}	V _{IL}	V _{IH}	表 2 参照	表 2 参照
クエリ読み出し	6	V _{IH}	V _{IL}	V _{IL}	V _{IH}	X	D _{OUT}
書き込み	4,5,6	V _{IH}	V _{IL}	V _{IH}	V _{IL}	X	D _{IN}

注:

1. V_{IL} または V_{IH} の電圧については DC 特性を参照して下さい。
2. X は制御ピンやアドレスに対しては V_{IL} または V_{IH} の意味です。
3. RST# が GND±0.2V の時に消費電力は最小となります。
4. ブロック消去、フルチップ消去、(ページバッファ) プログラム、または OTP プログラムは、V_{CC}=2.7V-3.6V の時のみ正常に動作します。
5. 書き込み動作中の D_{IN} の値は表 4 を参照して下さい。
6. OE# と WE# が両方共 V_{IL} となるようなタイミングでは使用しないで下さい。

表 4. コマンド定義⁽¹⁰⁾

コマンド	必要バス・サイクル数	注	第 1 バス・サイクル			第 2 バス・サイクル		
			動作 ⁽¹⁾	アドレス ⁽²⁾	データ ⁽³⁾	動作 ⁽¹⁾	アドレス ⁽²⁾	データ ⁽³⁾
アレイ読み出し	1	2	書き込み	X	FFH			
ID コード /OTP 読み出し	≥ 2	2,3,4	書き込み	X	90H	読み出し	IA, OA	ID, OD
クエリ読み出し	≥ 2	2,3,4	書き込み	X	98H	読み出し	QA	QD
ステータスレジスタ読み出し	2	2,3,11	書き込み	BA または WA	70H	読み出し	BA または WA	SRD
ステータスレジスタ・クリア	1	2	書き込み	X	50H			
ブロック消去	2	2,3,5	書き込み	BA	20H	書き込み	BA	D0H
フルチップ消去	2	2,5,8	書き込み	X	30H	書き込み	X	D0H
プログラム	2	2,3,5,6	書き込み	WA	40H または 10H	書き込み	WA	WD
ページバッファ・プログラム	≥ 4	2,3,5,7	書き込み	WA	E8H	書き込み	WA	N-1
ブロック消去、および（ページバッファ）プログラム中断	1	2,8	書き込み	BA または WA	B0H			
ブロック消去、および（ページバッファ）プログラム再開	1	2,8	書き込み	BA または WA	D0H			
ブロック・ロックビット設定	2	2	書き込み	BA	60H	書き込み	BA	01H
ブロック・ロックビット解除	2	2,9	書き込み	BA	60H	書き込み	BA	D0H
ブロック・ロックダウンビット設定	2	2	書き込み	BA	60H	書き込み	BA	2FH
OTP プログラム	2	2,3,8	書き込み	OA	C0H	書き込み	OA	OD

注：

- バス動作は表 3 を参照して下さい。
- 第 1 バス・サイクルで書き込むアドレスと第 2 バス・サイクルで書き込むアドレスは、同じアドレスにして下さい。
 X= デバイス内の任意のアドレス。
 IA= ID コード・アドレス (表 2 参照)。
 QA= クエリ・コード・アドレス。
 BA= ブロック消去、ブロック・ロックビットの設定、解除、またはブロック・ロックダウンビットの設定を行うブロック内のアドレス。
 WA= プログラムを行うアドレス、またはページバッファ・プログラム開始アドレス。
 OA= OTP ブロックからデータを読み出す、またはプログラムを行うアドレス (図 3 参照)。
- ID= ID コード・データ (表 2 参照)。
 QD= クエリ・コード・データ。
 SRD= ステータスレジスタからのデータ。ステータスレジスタの各ビットの説明は表 7、表 8 を参照して下さい。
 WD= WA にプログラムを行うデータ。CE# または WE# のいずれか早い方の立ち上がりエッジでラッチされます。
 OD= OA にプログラムを行うデータ。CE# または WE# のいずれか早い方の立ち上がりエッジでラッチされます。
 N-1= N は、ページバッファに書き込むワード数を表しています。
- ID コード /OTP 読み出しコマンドにより、メーカー・コード、デバイス・コード、ブロック・ロック情報、および OTP ブロックのデータを読み出すことができます (表 2 参照)。
 クエリ読み出しコマンドにより、CFI (Common Flash Interface) 情報を読み出すことができます。
- ロックビットが設定されているブロックに対しては、ブロック消去、フルチップ消去、(ページバッファ) プ

プログラム動作は実行されません。ロックビットが設定されていないブロックのデータは、 $RST\# = V_{IH}$ の時に、書き換えることができます。

6. 40H または 10H のどちらのコマンドもプログラム第 1 バス・サイクル・コマンドとして認識されます。
7. 第 3 バス・サイクル以降は N 個のデータと連続したアドレスを入力し、最後にページバッファ・プログラムを行うブロック内の任意のアドレスと確認コマンド D0H を入力します。
8. フルチップ消去、および OTP プログラム動作を中断することはできません。
ブロック消去中断中、OTP プログラム・コマンドは無視されます。
9. ブロック・ロックビット解除コマンドは、ロックダウンビットの設定に関わらず、ロックビットを解除します。
10. ここに記載されていないコマンドは、将来の拡張のために予約されており使用できません。
11. ステータスレジスタの情報を読み出す場合は、消去あるいはプログラム動作を実行しているアドレスを入力して下さい。

表 5. ブロック・ロック⁽⁴⁾、ブロック・ロックダウンの機能

現在の状態				消去、プログラム動作 ⁽²⁾
状態	DQ ₁ ⁽¹⁾	DQ ₀ ⁽¹⁾	状態名	
[00]	0	0	ロックビット解除	可能
[01] ⁽³⁾	0	1	ロックビット設定	禁止
[10]	1	0	ロックビット解除	可能
[11]	1	1	ロックビット設定	禁止

注:

1. DQ₀=1: ロックビット設定、DQ₀=0: ロックビット解除
DQ₁=1: ロックダウンビット設定、DQ₁=0: ロックダウンビット解除
2. 消去、プログラム動作とは、ブロック消去、フルチップ消去、および（ページバッファ）プログラム動作の総称です。
3. 電源投入後、およびリセット後は、それまで（電源をオフにする前、およびリセット動作に入る前）の設定状態に関わらず、すべてのブロックがロックビット設定状態、ロックダウンビット解除状態、すなわち、[01]状態になります。
4. OTP (One Time Program) ブロックには専用のロックビットがあり、上記のロックビットとは異なります。

表 6. コマンド書き込みによるロックビット、ロックダウンビットの状態遷移

現在の状態			ロック・コマンド書き込み後の状態（次の状態）		
状態	DQ ₁	DQ ₀	ロック設定 ⁽¹⁾	ロック解除 ⁽¹⁾	ロックダウン ⁽¹⁾
[00]	0	0	[01]	状態遷移なし ⁽³⁾	[11] ⁽²⁾
[01]	0	1	状態遷移なし	[00]	[11]
[10]	1	0	[11]	状態遷移なし	[11] ⁽²⁾
[11]	1	1	状態遷移なし	[10]	状態遷移なし

注:

1. "ロック設定" はブロック・ロックビット設定コマンド、"ロック解除" はブロック・ロックビット解除コマンド、"ロックダウン" はブロック・ロックダウンビット設定コマンドの意味です。
2. ロックビット解除状態（DQ₀=0）のブロックにブロック・ロックダウンビット設定コマンドを書き込むと、ロックダウンビットだけでなく、ロックビットも同時に設定されます。
3. "状態遷移なし" とは、コマンド書き込み前・後の状態が同じであることを表しています。

表 7. ステータスレジスタの定義

R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
WSMS	BESS	BEFCES	PBPOPS	R	PBPSS	DPS	R
7	6	5	4	3	2	1	0
SR.15 - SR.8 = 将来の拡張のために未使用 (R)				注意:			
SR.7 = ライト・ステート・マシン・ステータス (WSMS) 1 = 待機中 0 = 動作中				SR.7 をチェックしてブロック消去、フルチップ消去、(ページバッファ) プログラム、OTP プログラム動作が完了していることを確認して下さい。SR.7="0" の間、SR.6 - SR.1 の値は無効です。			
SR.6 = ブロック消去中断ステータス (BESS) 1 = ブロック消去中断中 0 = ブロック消去実行中、または完了				ブロック消去、フルチップ消去、ページバッファ・プログラム、ブロック・ロックビット設定 / 解除、ブロック・ロックダウンビット設定の時に、SR.5 と SR.4 が共に "1" にセットされた場合は、誤ったコマンド・シーケンスが書き込まれたことを示しています。			
SR.5 = ブロック消去、フルチップ消去ステータス (BEFCES) 1 = ブロック消去、フルチップ消去は失敗 0 = ブロック消去、フルチップ消去は成功				SR.1 はブロック・ロックビットの連続表示は行いません。WSM はブロック消去、フルチップ消去、(ページバッファ) プログラム、OTP プログラム・コマンド・シーケンスが書き込まれた後にのみブロック・ロックビットの状態をチェックし、実行しようとした動作に対しての結果を SR.1 にセットします。ID コード / OTP 読み出しコマンドを書き込んだ後にロックビットの設定を読み出すことで、ロックビットの状態を確認することができます。			
SR.4 = (ページバッファ) プログラム、OTP プログラム・ステータス (PBPOPS) 1 = (ページバッファ) プログラム、OTP プログラムは失敗 0 = (ページバッファ) プログラム、OTP プログラムは成功				SR.15 - SR.8、SR.3、および SR.0 は将来の拡張のために予約されているので、ステータスレジスタをポーリングする時は、このビットをマスクする必要があります。			
SR.3 = 将来の拡張のために未使用 (R)							
SR.2 = (ページバッファ) プログラム中断ステータス (PBPSS) 1 = (ページバッファ) プログラム中断中 0 = (ページバッファ) プログラム実行中、または完了							
SR.1 = デバイス・プロテクト・ステータス (DPS) 1 = ブロック・ロックビットによるロック設定を検出、動作中止 0 = ロックビット解除状態							
SR.0 = 将来の拡張のために未使用 (R)							

表 8. エクステンド・ステータスレジスタの定義

R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8
SMS	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0

注意:

XSR.15-8 = 将来の拡張のために未使用 (R)

XSR.7 = ステート・マシン・ステータス (SMS)

1 = ページバッファ・プログラム有効

0 = ページバッファ・プログラム無効

XSR.6-0 = 将来の拡張のために未使用 (R)

ページバッファ・プログラム・コマンド (E8H) を書き込んだ後 XSR.7="1" であれば、そのページバッファ・プログラム・コマンドは受け付けられています。XSR.7="0" であれば、コマンドは受け付けられていません。ページバッファを使用できるかどうかを確認するため、もう一度ページバッファ・プログラム・コマンド (E8H) を書き込んで下さい。

XSR.15-8、および XSR.6-0 は将来の拡張のために予約されているので、エクステンド・ステータスレジスタをポーリングする時は、このビットをマスクする必要があります。

1 電気的特性

1.1 絶対最大定格*

推奨動作温度

読み出し、消去、および

プログラム動作時 $0^{\circ}\text{C}\sim+70^{\circ}\text{C}$ ⁽¹⁾

保存温度

バイアス印加時 $-10^{\circ}\text{C}\sim+80^{\circ}\text{C}$

無バイアス時 $-65^{\circ}\text{C}\sim+125^{\circ}\text{C}$

入力電圧 (V_{CC} を除く)

..... $-0.5\text{V}\sim V_{\text{CC}}+0.5\text{V}$ ⁽²⁾

V_{CC} 電源電圧 $-0.2\text{V}\sim+3.9\text{V}$ ⁽²⁾

出力短絡電流 100mA ⁽³⁾

* 警告 : " 絶対最大定格 " を超えたストレスをデバイスに加えた場合、非可逆破壊を起こす可能性があります。" 動作条件 " 以外での動作は推奨できません。また、" 動作条件 " 以外での使用はデバイスの信頼性に影響を与える場合があります。

注 :

1. 本動作温度範囲は民生用規格です。
2. すべての規定値は GND を基準としています。
入出力端子に印加可能な最小 DC 電圧は -0.5V で、 V_{CC} 端子に対しては -0.2V です。入力信号遷移時にパルス幅 20ns 未満のアンダーシュートに対しては -2.0V です。入出力端子に印加可能な最大 DC 電圧は $V_{\text{CC}}+0.5\text{V}$ で、入力信号遷移時にパルス幅 20ns 未満のオーバーシュートに対しては $V_{\text{CC}}+2.0\text{V}$ です。
3. 短絡時間は 1s 未満で、同時に 1 端子に限ります。

1.2 動作条件

項目	記号	Min.	Typ.	Max.	単位	注
動作温度	T_{A}	0	+25	+70	$^{\circ}\text{C}$	
V_{CC} 電源電圧	V_{CC}	2.7	3.0	3.6	V	1
メインブロック消去回数		100,000			回	
パラメータブロック消去回数		100,000			回	

注 :

1. 電圧範囲の仕様値については DC 特性の項目を参照して下さい。

1.2.1 端子容量⁽¹⁾ ($T_A=+25^{\circ}\text{C}$, $f=1\text{MHz}$)

項目	記号	条件	Min.	Typ.	Max.	単位
入力容量	C_{IN}	$V_{\text{IN}}=0.0\text{V}$		6	8	pF
RST# 入力容量	C_{IN}	$V_{\text{IN}}=0.0\text{V}$		24	30	pF
出力容量	C_{OUT}	$V_{\text{OUT}}=0.0\text{V}$		10	12	pF

注:

1. サンプル値であり、全数テストは実施していません。

1.2.2 AC 入出力テスト条件

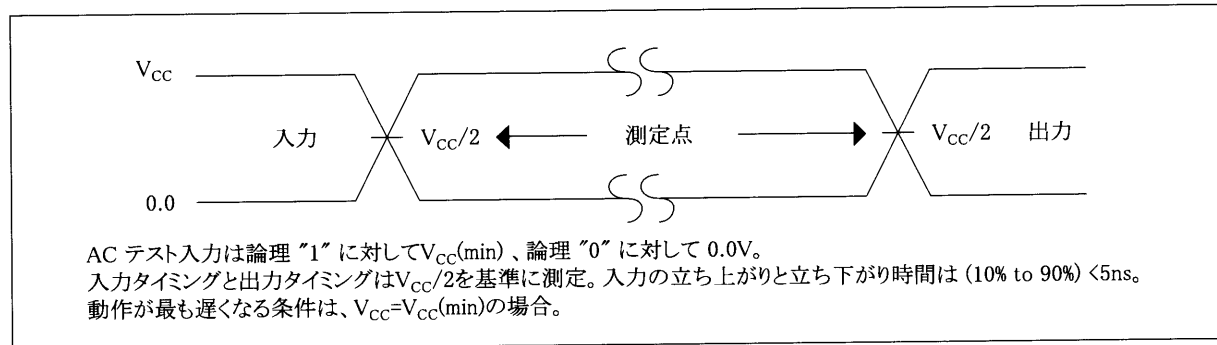
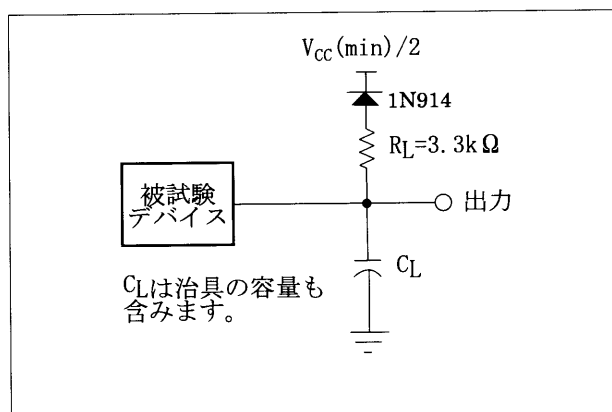
図 4. AC 入出力リファレンス波形 ($V_{\text{CC}}=2.7\text{V}\sim 3.6\text{V}$)

図 5. AC テスト負荷回路

表 9. テスト条件に対する負荷容量値

テスト条件	C_L (pF)
$V_{\text{CC}}=2.7\text{V}\sim 3.6\text{V}$	50

1.2.3 DC 特性

 $V_{CC}=2.7V\sim 3.6V$

記号	項目	注	Min.	Typ.	Max.	単位	テスト条件
I_{LI}	入力負荷電流	1	-1.0		+1.0	μA	$V_{CC}=V_{CCMax.}$, $V_{IN}/V_{OUT}=V_{CC}$ または GND
I_{LO}	出力リーク電流	1	-1.0		+1.0	μA	
I_{CCS}	V_{CC} スタンバイ電流	1		6	25	μA	$V_{CC}=V_{CCMax.}$, $CE\#=RST\#$, $V_{CC}\pm 0.2V$
I_{CCAS}	V_{CC} オート・パワーセーブ電流	1,4		4	20	μA	$V_{CC}=V_{CCMax.}$, $CE\#=GND\pm 0.2V$
I_{CCD}	V_{CC} リセット・パワーダウン電流	1		4	20	μA	$RST\#=GND\pm 0.2V$
I_{CCR}	V_{CC} 読み出し 電流 (平均値) 通常モード	1		15	25	mA	$V_{CC}=V_{CCMax.}$, $CE\#=V_{IL}$, $OE\#=V_{IH}$, $f=5MHz$
	V_{CC} 読み出し 電流 (平均値) ページ・モード	8 ワード読み 出し	1	5	10	mA	
I_{CCW}	V_{CC} (ページバッファ) プログラム電流	1,5		20	60	mA	
I_{CCE}	V_{CC} ブロック消去、 フルチップ消去電流	1,5		10	30	mA	
I_{CCWS} I_{CCES}	V_{CC} (ページバッファ) プログラム、 またはブロック消去中断電流	1,2		15	210	μA	$CE\#=V_{IH}$
V_{IL}	入力 "ロウ" 電圧	5	-0.4		0.4	V	
V_{IH}	入力 "ハイ" 電圧	5	V_{CC} -0.4		V_{CC} + 0.4	V	
V_{OL}	出力 "ロウ" 電圧	5			0.2	V	$V_{CC}=V_{CCMin.}$, $I_{OL}=100\mu A$
V_{OH}	出力 "ハイ" 電圧	5	V_{CC} -0.2			V	$V_{CC}=V_{CCMin.}$, $I_{OH}=-100\mu A$
V_{LKO}	V_{CC} ロックアウト電圧	3	1.5			V	

注:

1. 注無き電流値は全て RMS 値です。Typ. 値は V_{CC} 表示がない場合、 $V_{CC}=3.0V$ 、 $T_A=+25^\circ C$ の時の参考値です。
2. I_{CCWS} と I_{CCES} はデバイス非選択時の値です。ブロック消去中断中の読み出し、あるいは (ページバッファ) プログラム時の電流値は、 I_{CCWS} または I_{CCES} と I_{CCR} あるいは I_{CCW} との和です。
3. ブロック消去、フルチップ消去、(ページバッファ) プログラム、および OTP プログラムは、 $V_{CC} \leq V_{LKO}$ 時には禁止されます。規定電圧範囲外での動作は保証していません。
4. オート・パワーセーブ機能により、読み出し動作終了後、デバイスは自動的に低消費電力モードに入ります。アドレスが変化すると、通常のアドレス・アクセスのタイミング (t_{AVQV}) で新しいデータを読み出すことができます。
5. サンプル値であり、全数テストは実施していません。

1.2.4 AC 特性 – 読み出し動作時⁽¹⁾ $V_{CC}=2.7V\sim 3.6V$, $T_A=0^{\circ}C\sim +70^{\circ}C$

記号	項目	注	Min.	Max.	単位
t_{AVAV}	読み出しサイクル時間		90		ns
t_{AVQV}	出力遅延時間 (アドレス)			90	ns
t_{ELQV}	出力遅延時間 (CE#)	3		90	ns
t_{APA}	ページ・アドレス読み出し時間			35	ns
t_{GLQV}	出力遅延時間 (OE#)	3		20	ns
t_{PHQV}	出力遅延時間 (RST# "ハイ")	4		150	ns
t_{EHQZ} , t_{GHQZ}	出力高インピーダンス時間 (CE# または OE#)	2		20	ns
t_{ELQX}	出力低インピーダンス時間 (CE#)	2	0		ns
t_{GLQX}	出力低インピーダンス時間 (OE#)	2	0		ns
t_{OH}	アドレス、CE#、OE# – 出力ホールド時間	2	0		ns

注:

1. タイミング測定に関しては AC 入出力リファレンス波形の項を参照して下さい。
2. サンプル値であり、全数テストは実施していません。
3. CE# の立ち下がりから $t_{ELQV} - t_{GLOV}$ 以内に OE# を立ち下げた場合、出力遅延時間は t_{ELQV} で定義されます。
 $t_{ELQV} - t_{GLOV}$ 以上の場合は、出力遅延時間は t_{GLOV} で定義されます。
4. 本機種は、読み出し動作のみの時は、実装時に RST# 端子と V_{CC} 端子を直結可能です。その場合、RST# が "ハイ" になってからの出力遅延時間は、 t_{PHQV} と t_{VHQV} のうち、どちらか大きい方で規定されます。

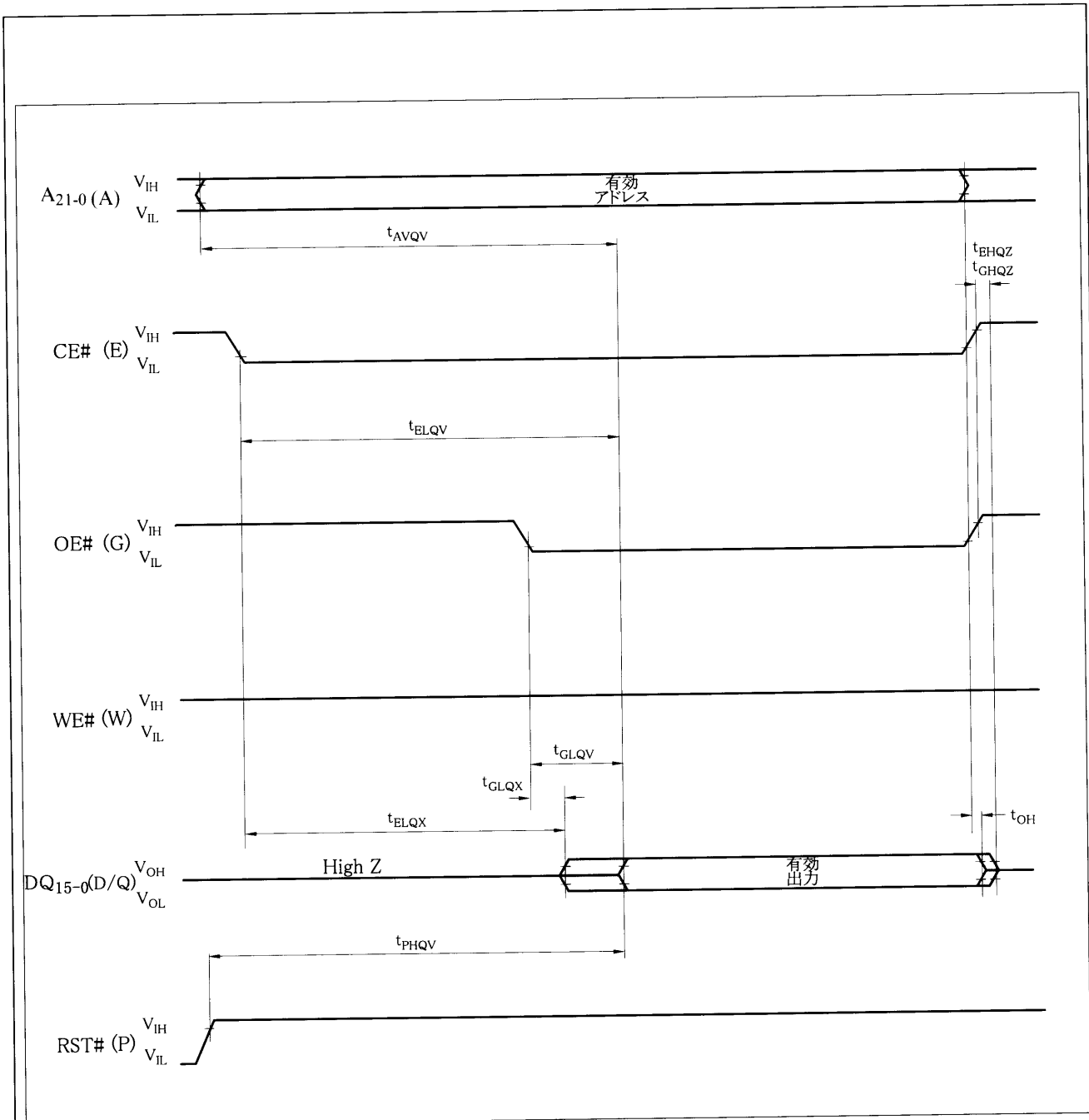


図 6. シングル非同期読み出し動作の AC 波形
(ステータスレジスタ、ID コード、OTP ブロック、またはクエリ・コード)

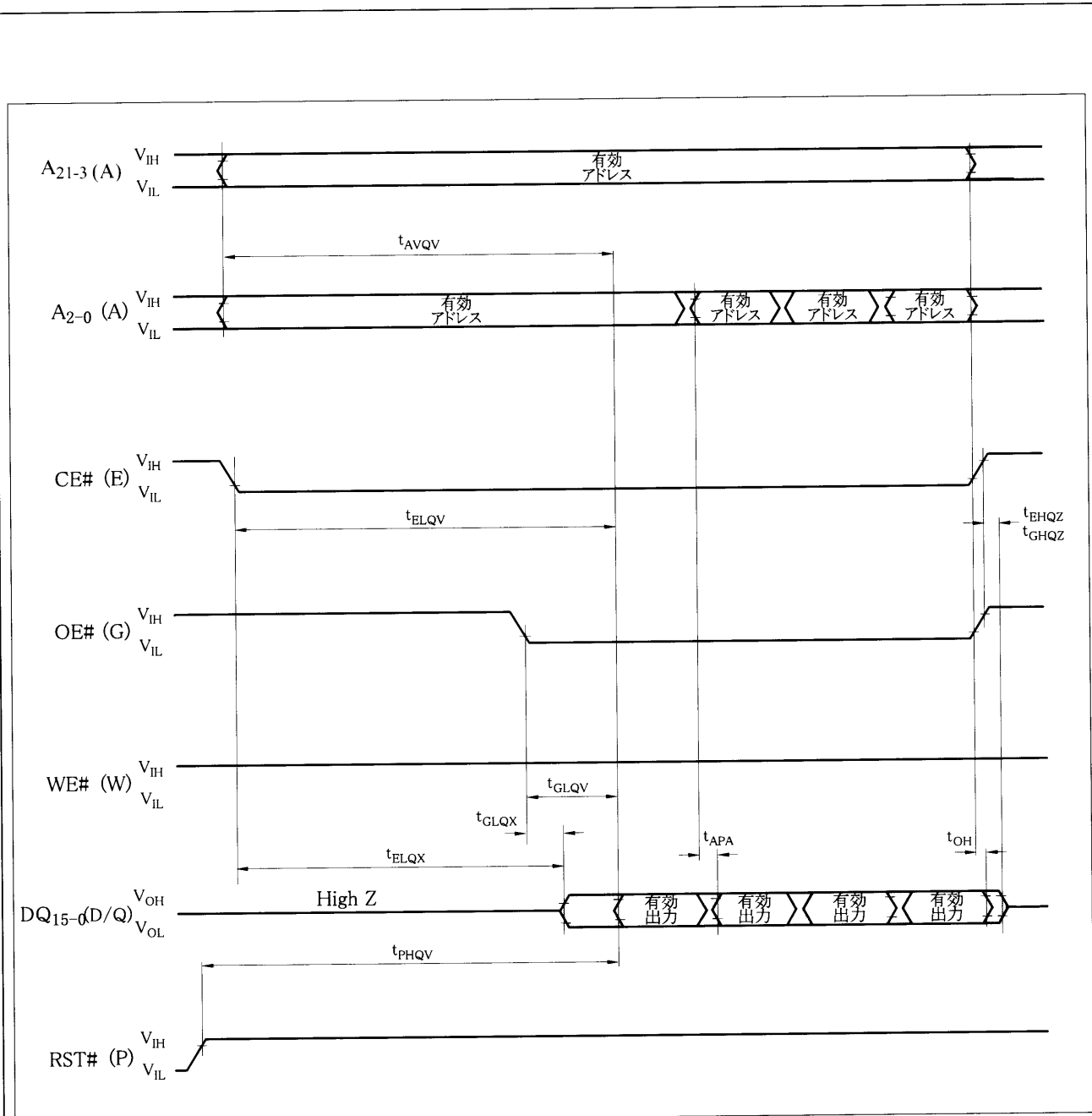


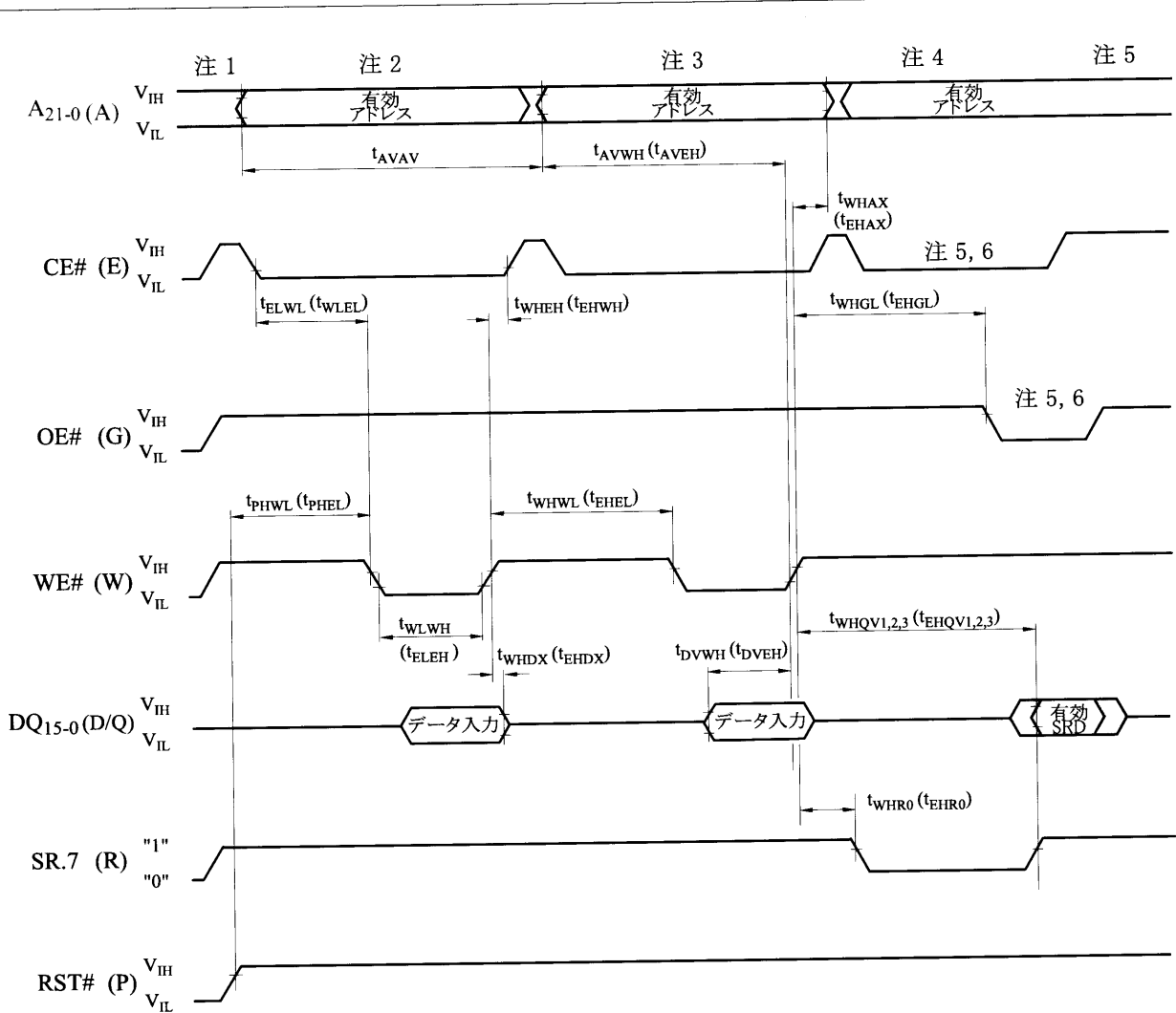
図 7. 非同期ページ・モード読み出し動作の AC 波形
(メインブロックまたはパラメータブロック)

1.2.5 AC 特性 – 書き込み動作時 ^{(1), (2)} $V_{CC}=2.7V\sim 3.6V$, $T_A=0^{\circ}C\sim +70^{\circ}C$

記号	項目	注	Min.	Max.	単位
t_{AVAV}	書き込みサイクル時間		90		ns
t_{PHWL} (t_{PHEL})	RST# リカバリ – ("ハイ") – WE# (CE#) 立ち下がり時間	3	150		ns
t_{ELWL} (t_{WLEL})	CE# (WE#) セットアップ – WE# (CE#) 立ち下がり時間	4	0		ns
t_{WLWH} (t_{ELEH})	WE# (CE#) パルス幅	4	60		ns
t_{DVWH} (t_{DVEH})	データ・セットアップ – WE# (CE#) 立ち上がり時間	7	40		ns
t_{AVWH} (t_{AVEH})	アドレス・セットアップ – WE# (CE#) 立ち上がり時間	7	50		ns
t_{WHEH} (t_{EHWH})	WE# (CE#) 立ち上がりからの CE# (WE#) ホールド時間		0		ns
t_{WHDX} (t_{EHDX})	WE# (CE#) 立ち上がりからのデータ・ホールド時間		0		ns
t_{WHAX} (t_{EHAX})	WE# (CE#) 立ち上がりからのアドレス・ホールド時間		0		ns
t_{WHWL} (t_{EHEL})	WE# (CE#) パルス幅 ("ハイ")	5	30		ns
t_{WHGL} (t_{EHGL})	読み出し前の書き込みリカバリ時間		30		ns
t_{WHR0} (t_{EHR0})	WE# (CE#) 立ち上がり - SR.7="0" 時間	3, 6		$t_{AVQV}+$ 50	ns

注:

1. ブロック消去、フルチップ消去、(ページバッファ) プログラム、および OTP プログラム動作中のステータスレジスタ読み出しタイミングは、アレイ読み出し動作時と同じです。読み出し動作時の AC 特性を参照して下さい。
2. 書き込み動作の開始と終了のタイミングは、CE# または WE# のいずれでも決めることができます。
3. サンプル値であり、全数テストは実施していません。
4. 書き込みパルス幅 (t_{WP}) は、CE# または WE# のいずれか遅い方の立ち下がりエッジから CE# または WE# のいずれか早い方の立ち上がりエッジまでで定義されます。従って、 $t_{WP}=t_{WLWH}=t_{ELEH}=t_{WLEH}=t_{ELWH}$ となります。
5. 書き込み "ハイ" パルス幅 (t_{WPH}) は、CE# または WE# のいずれか早い方の立ち上がりエッジから CE# または WE# のいずれか遅い方の立ち下がりエッジまでで定義されます。従って、 $t_{WPH}=t_{WHWL}=t_{EHEL}=t_{WHEL}=t_{EHWL}$ となります。
6. クエリ読み出し、あるいは ID コード /OTP 読み出しコマンドの後の t_{WHR0} (t_{EHR0}) は $t_{AVQV}+100ns$ となります。
7. ブロック消去、フルチップ消去、(ページバッファ) プログラム、OTP プログラム、およびロックビット設定の有効なアドレス入力およびデータ入力は表 4 を参照して下さい。



注:

1. V_{CC} パワー・アップおよびスタンバイ
2. 第1サイクル・コマンドの書き込み
3. 第2サイクル・コマンド、または有効なアドレスとデータの書き込み
4. デバイス内部自動処理による遅延
5. ステータスレジスタの情報読み出し
6. 読み出し動作を行う場合は、OE#およびCE#をアクティブにし、WE#を非アクティブにして下さい。

図 8. 書き込み動作の AC 波形

1.2.6 リセット動作

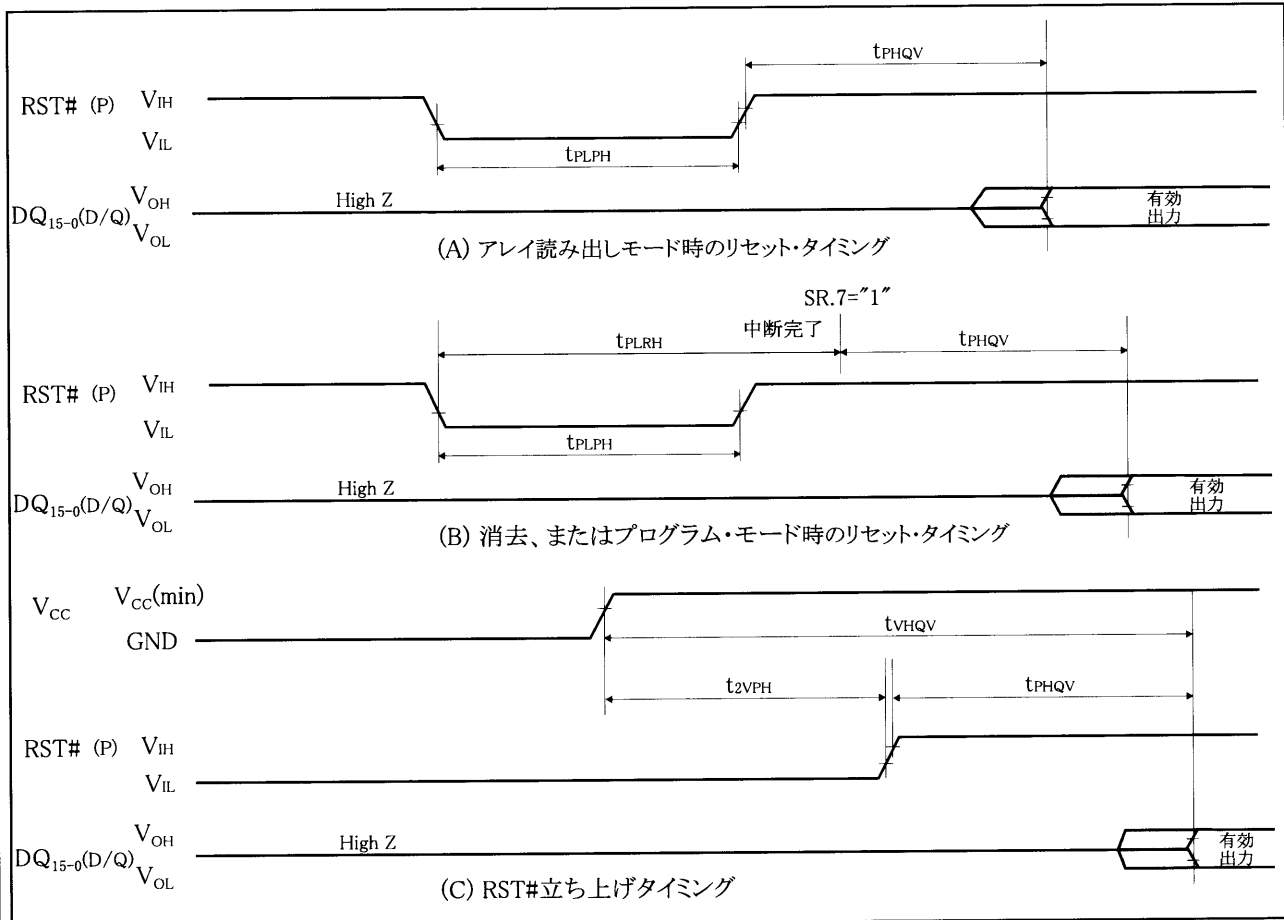


図 9. リセット動作の AC 波形

AC 特性 - リセット動作時 ($V_{CC}=2.7V\sim 3.6V$, $T_A=0^{\circ}C\sim +70^{\circ}C$)

記号	項目	注	Min.	Max.	単位
t_{PLPH}	読み出し動作時における RST# 立ち下がりからのリセット時間 (電源投入時は、RST# を "ロウ" にして下さい。)	1, 2, 3, 6	100		ns
t_{PLRH}	消去またはプログラム動作時における RST# 立ち下がりからのリセット時間	1, 3, 4		22	μs
t_{2VPH}	$V_{CC}=2.7V$ 到達 - RST# "ハイ" 時間	1, 3, 5	100		ns
t_{VHQV}	$V_{CC}=2.7V$ 到達 - 出力遅延時間	3, 6		1	ms

注:

- SR.7 が "1" になるか、または RST# が "ハイ" になるか、のいずれか遅い方のタイミングから出力が有効になるまでにはリセット時間 t_{PHQV} が必要です。 t_{PHQV} は AC 特性 - 読み出し動作時を参照して下さい。
- t_{PLPH} が 100ns 未満でもリセット動作が完了する可能性はありますが、そのような動作は保証していません。
- サンプル値であり、全数テストは実施していません。
- ブロック消去、フルチップ消去、(ページバッファ) プログラム、または OTP プログラム動作中でない場合にリセットを実行すると、100ns 以内にリセットが完了します。
- 電源投入時、電源電圧が規定値に達して、かつ安定してから最低 100ns の期間まで、RST# を "ロウ" に保持して下さい。ただし、電源立ち上げ後の動作が読み出しのみの場合は、実装時に RST# 端子と V_{CC} 端子を直結し、RST# 端子を V_{CC} 端子に同期させて立ち上げることが可能です。
- RST# 端子と V_{CC} 端子を直結している場合には、RST# が "ハイ" になってからの出力遅延時間は、 t_{PHQV} と t_{VHQV} のうち、どちらか大きい方で規定されます。

1.2.7 ブロック消去、フルチップ消去、(ページバッファ) プログラム、および OTP プログラム動作⁽³⁾

$V_{CC}=2.7V\sim 3.6V$, $T_A=0^{\circ}C\sim +70^{\circ}C$

記号	項目	注	ページバッファ・コマンド使用または不使用	Min.	Typ. ⁽¹⁾	Max. ⁽²⁾	単位
t_{WPB}	4K ワード・パラメータブロック プログラム時間	2	不使用		0.05	0.3	s
		2	使用		0.03	0.12	s
t_{WMB}	32K ワード・メインブロック プログラム時間	2	不使用		0.38	2.4	s
		2	使用		0.24	1.0	s
$t_{WHQV1}/$ t_{EHQV1}	ワード・プログラム時間	2	不使用		11	200	μs
		2	使用		7	100	μs
$t_{WHOV1}/$ t_{EHOV1}	OTP プログラム時間	2	不使用		36	400	μs
$t_{WHQV2}/$ t_{EHQV2}	4K ワード・パラメータブロック 消去時間	2	-		0.3	4	s
$t_{WHQV3}/$ t_{EHQV3}	32K ワード・メインブロック 消去時間	2	-		0.6	5	s
	フルチップ消去時間	2			80	700	s
$t_{WHRH1}/$ t_{EHRH1}	読み出しのための (ページバッファ) プログラム中断遅延時間	4	-		5	10	μs
$t_{WHRH2}/$ t_{EHRH2}	読み出しのためのブロック消去 中断遅延時間	4	-		5	20	μs
t_{ERES}	ブロック消去再開コマンドから ブロック消去中断コマンドまでの 遅延時間	5	-	500			μs

注:

1. Typ. 値は $V_{CC}=3.0V$ 、 $T_A=+25^{\circ}C$ で、ブロック・ロックビットが設定されていない場合です。デバイスの特性により変化します。
2. システムのオーバーヘッドは含みません。
3. サンプル値であり、全数テストは実施していません。
4. 中断コマンドを書き込んで (WE# または CE# が "ハイ" になった時点) から、SR.7 が "1" になるまでの時間です。
5. ブロック消去再開コマンドから、次のブロック消去中断コマンドまでの待ち時間が t_{ERES} よりも短く、かつその一連の動作を繰り返し行った場合、ブロック消去動作が終了しない可能性があります。

2 関連資料情報⁽¹⁾

ドキュメント No.	ドキュメント名
FUM00X01	LH28F640BF シリーズ付録

注:

1. 資料御請求の際はお近くの SHARP 営業所まで御連絡下さい。

3 機種情報

SHARP フラッシュメモリ 共通名称

L	H	2	8	F	6	4	0	B	F	N	-	P	T	T	L	Z	5
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

メモリサイズ
640 : 64M ビット
(4M ビット × 16)

消去ブロック構成
B : パラメータブロック

フラッシュメモリのデバイスシリーズ名

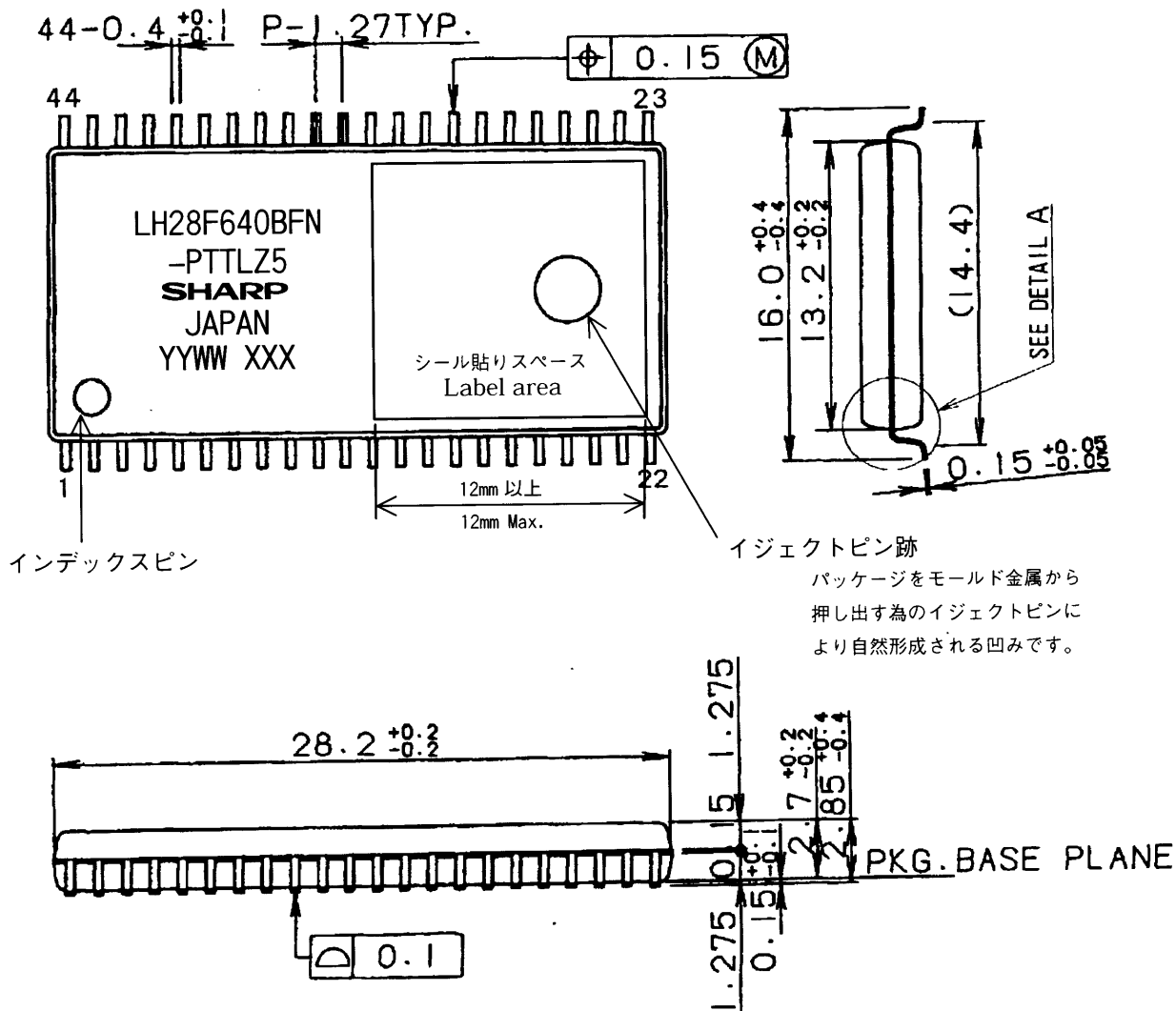
パッケージタイプ
N : SOP

製品個別品番
Z5

動作電圧
TL : 3V 動作

トップパラメータ or ボトムパラメータ
T : トップパラメータ

OTP 機能の有無
P : OTP 機能あり



マーク仕様

内容 製品本体に表示する内容は原則として、以下の通りにします。

- (1) 製品名 : LH28F640BFN-PTTLZ5
(2) 社名 : SHARP
(3) データ・コード

(例)  生産管理コード (1桁～3桁)
週コード (01・02・～52・53)
年コード (西暦の下2桁)

- (4) Country of origin (生産地) を示す「JAPAN」マーク。
(5) 捺印方法： インク
(6) 捺印色： シルバー

(マーク配置は文字寸法及び配置寸法の詳細を規定するものではありません。)

リード表面処理 LEAD FINISH		ハンダメッキ TIN-LEAD PLATING		リード材質 LEAD MATERIAL	Cu
名称 NAME	SOP44-P-0600			備考 プラスチックパッケージ外形寸法は、バリを 含まないものとする。 NOTE Plastic body dimensions do not include burr of resin.	
DRAWING NO.	AA1050-P	単位 UNIT	mm		

包装仕様

包装材料

材料名	材料仕様	目的
内装ケース	ボール紙（最大 400 個入り）	デバイス包装用 （デバイストレイ 10 枚）
デバイストレイ	導電性プラスチック製（40 個入り）	デバイス固定用
デバイストレイ上蓋	導電性プラスチック製（1 枚／内装ケース）	デバイス固定用
アルミラミネート袋	アルミポリエチレン	デバイス防湿
乾燥剤	シリカゲル	デバイス防湿
ラベル	紙製	品番・数量・包装日を表示
P P バンド	ポリプロピレン（3 本／内装ケース）	デバイストレイ固定用
外装ケース	ボール紙（最大 1600 個入）	内装ケース外装用

（トレイ内のデバイスの向きは全て同一とする。）

トレイ寸法図

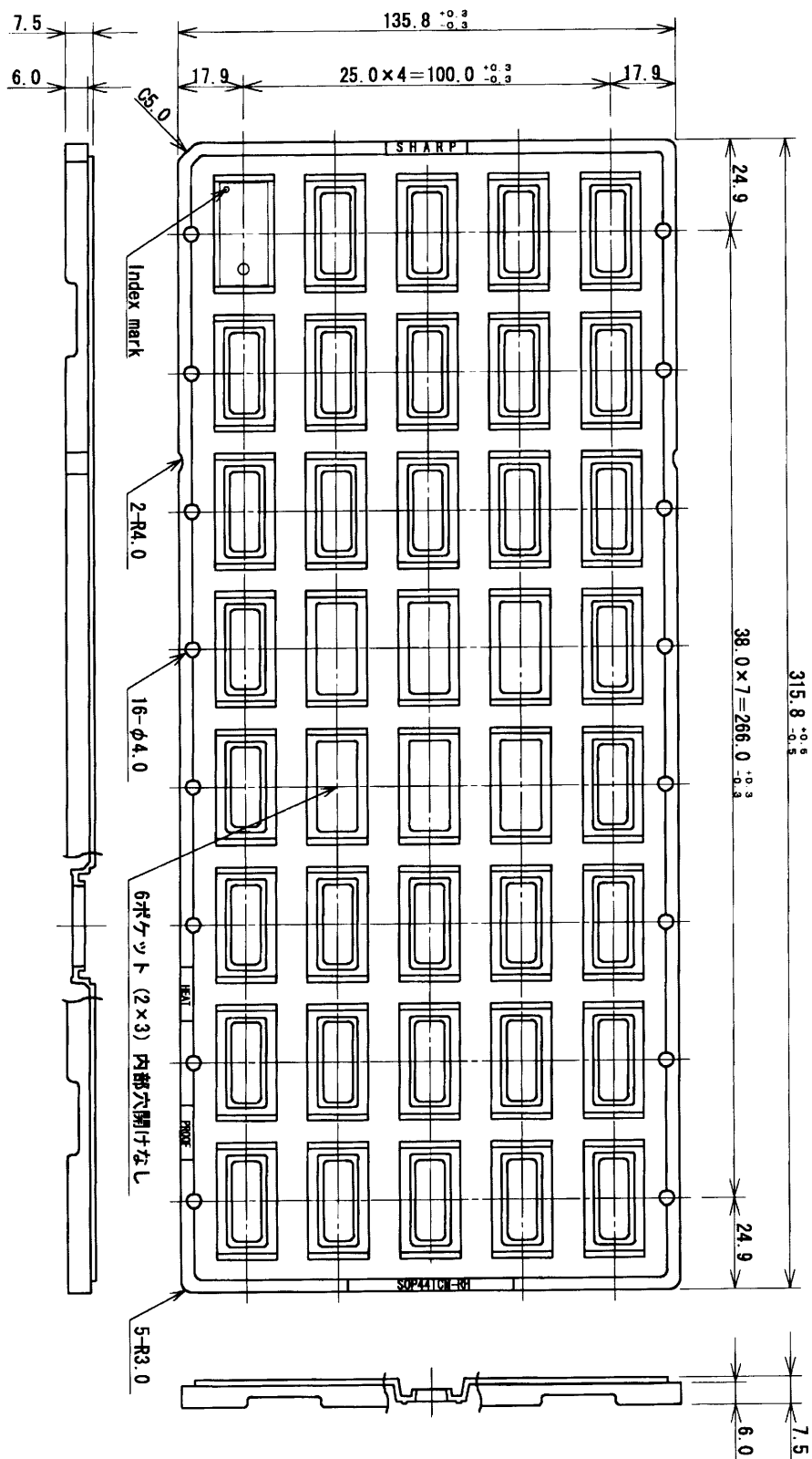
添付のトレイ寸法図を参照して下さい。

内外装ケース寸法図

添付のケース寸法図を参照して下さい。

使用上のご注意

- （1）開封にあたっては静電気対策された作業台を用意し、人体も静電気対策をした後に作業にあたって下さい。
- （2）デバイストレイは導電性処理、又は静電防止処理が施されています。
万一、他のデバイストレイに移す時は、同様のデバイストレイを御利用下さい。
- （3）デバイスは、納入後 1 年以内の使用を推奨致します。



名称
NAME

SOP44TCM-RH

備考
NOTE

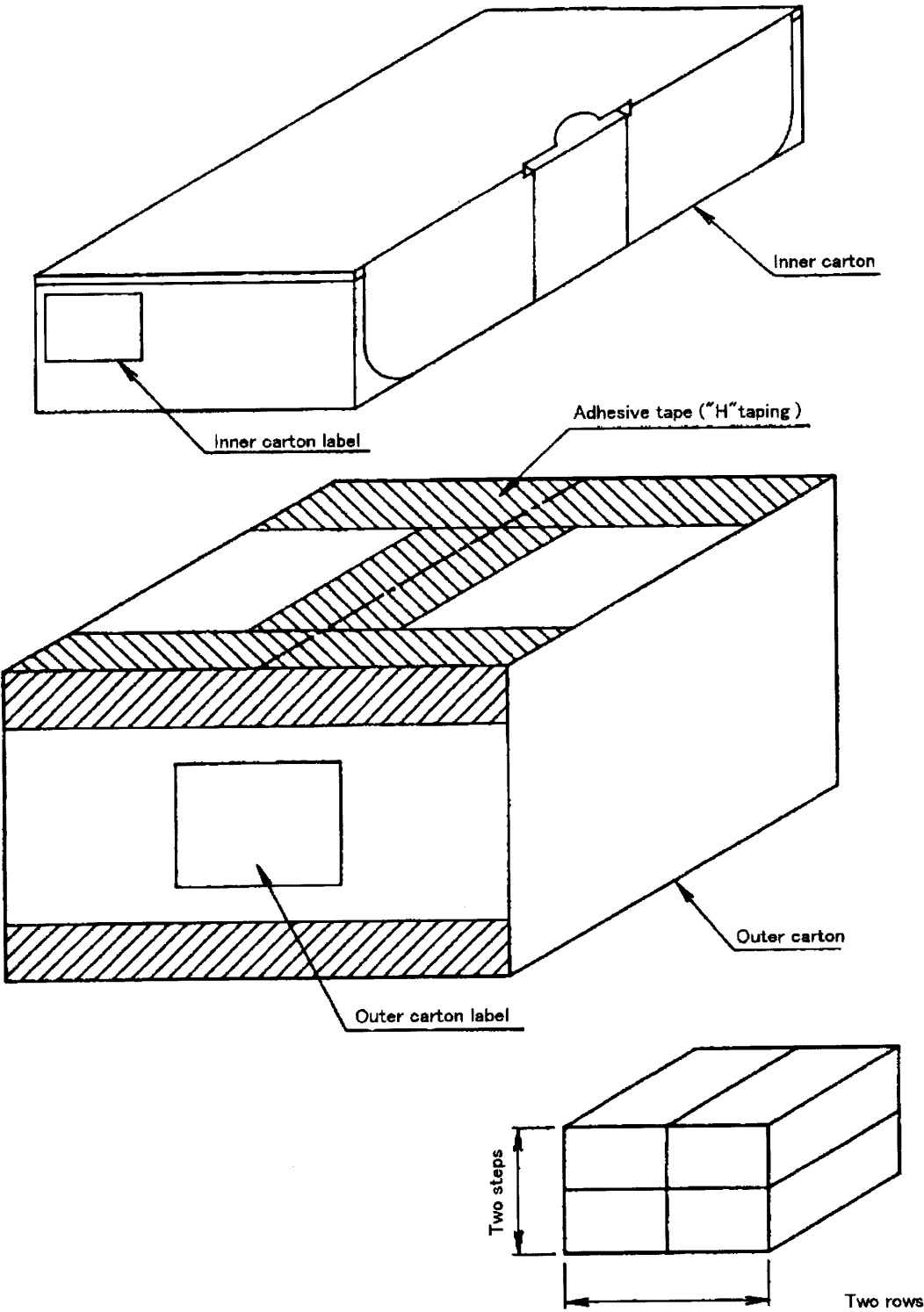
DRAWING NO.

CV570

単位
UNIT

mm

20011011

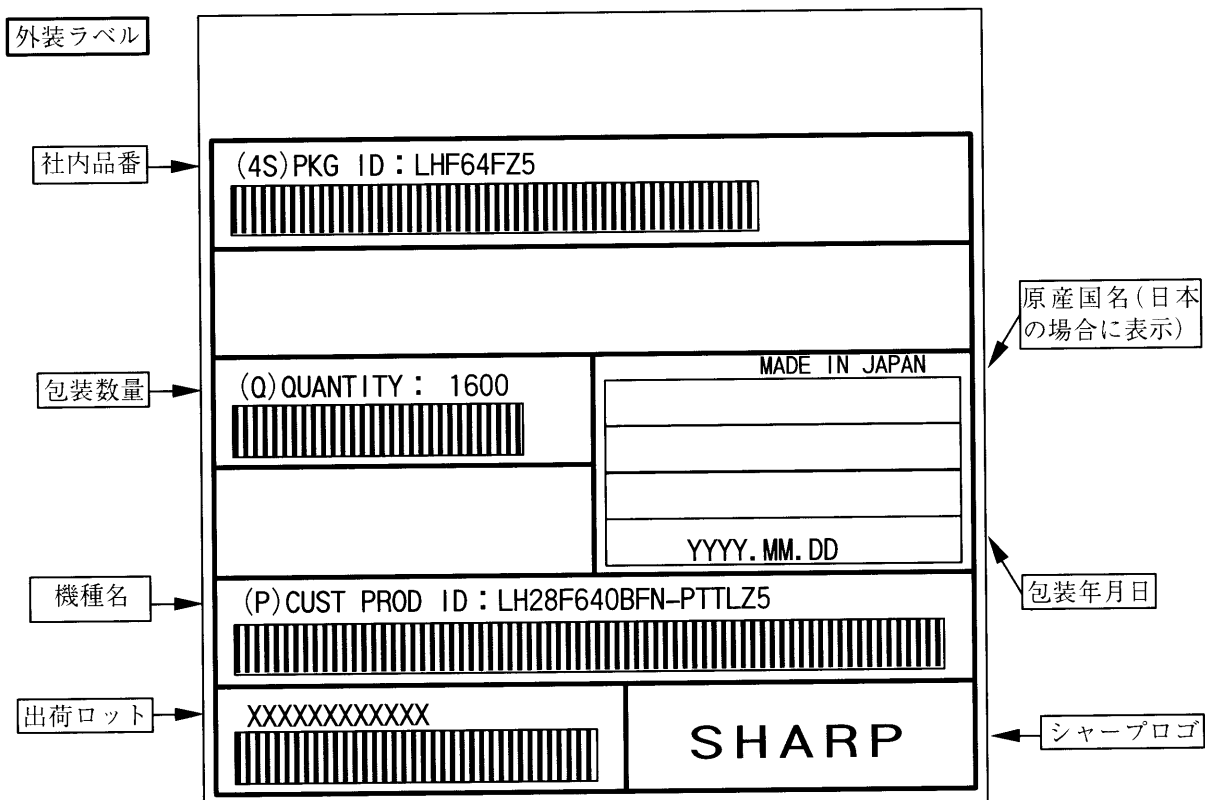
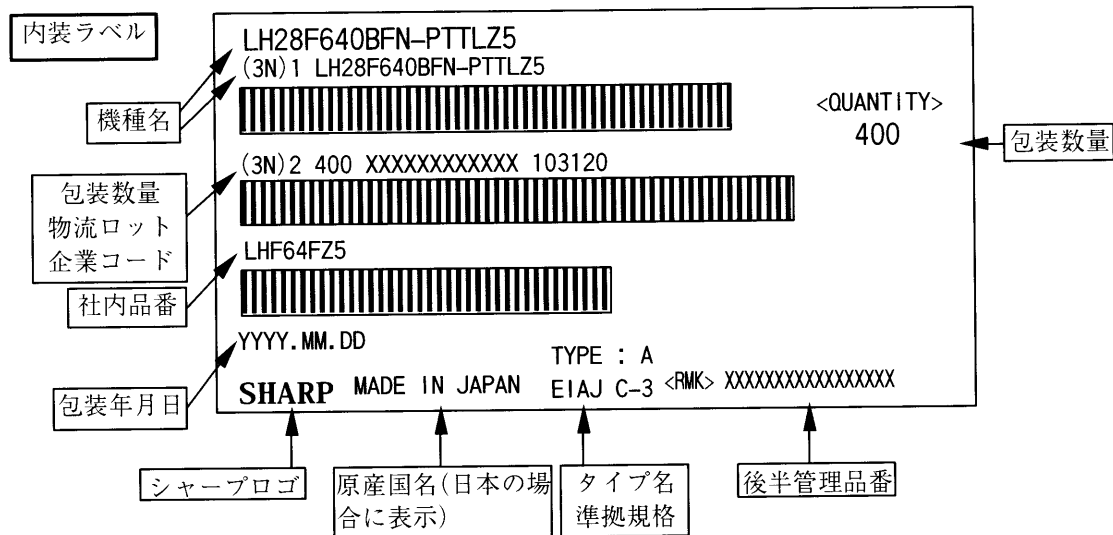


L × W × H

Inner carton - Outer dimensions : 335×150×80

Outer carton - Outer dimensions : 340×310×175

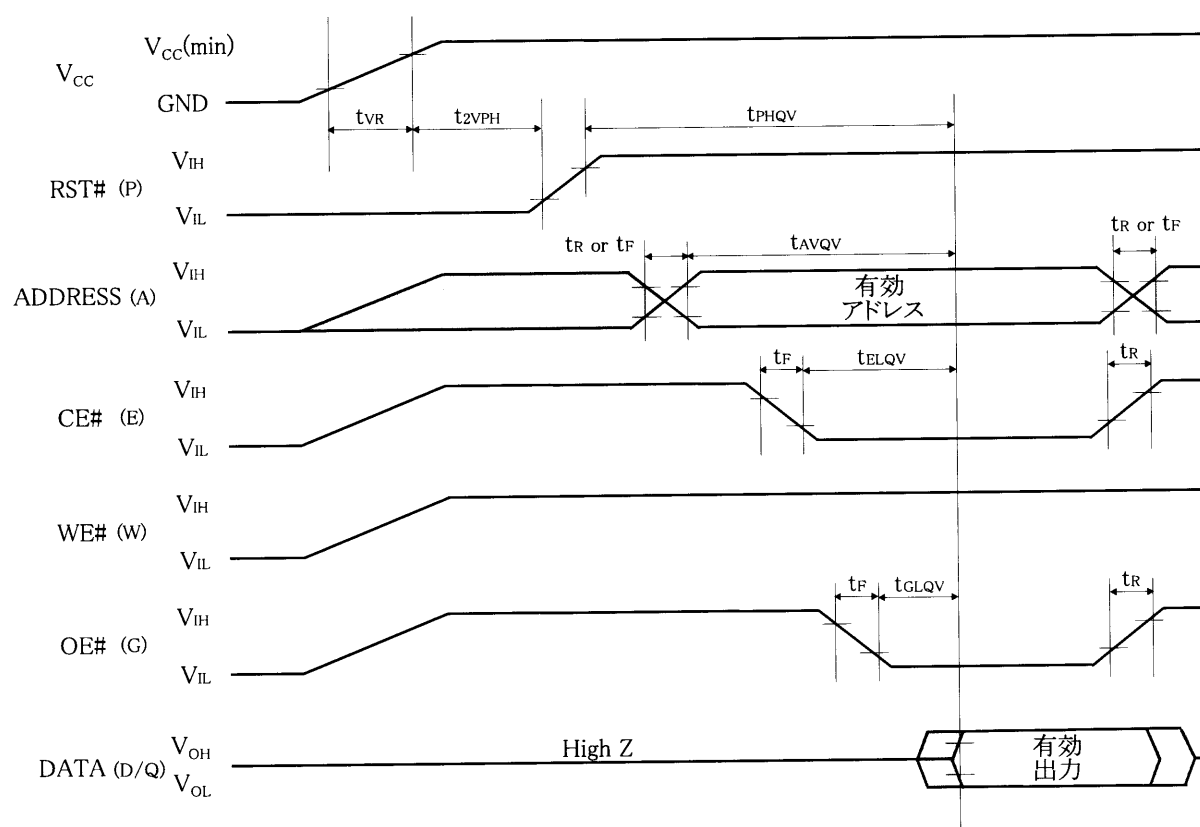
名称 NAME	トレイ品 包装仕様 Packing specifications			備考 NOTE	出荷数量が端数の場合、本仕様と異なることがあります。 There is a possibility different from this specification when the number of shipments is fractions.
DRAWING NO.	BJ433	単位 UNIT	mm		



A - 1 推奨動作条件

A - 1.1 電源投入時

電源投入時、図 A-1 のタイミングで電源、制御信号を入力することを推奨致します。図中のタイミング規定が守られない場合は誤動作する可能性があります。



- 注: 1. 電源立ち上げ後の動作が読み出しのみの場合は、実装時にRST#端子とV_{CC}端子を直結し、RST#端子をV_{CC}端子に同期させて立ち上げることが可能です。
2. RST#端子とV_{CC}端子を直結している場合には、RST#が“ハイ”になってからの出力遅延時間は、t_{PHQV}とt_{VHQV}のうち、どちらか大きい方で規定されます。t_{VHQV}は、AC特性-リセット動作を参照して下さい。

図 A-1. 電源投入時のタイミング

図中の AC 特性 t_{VR} 、 t_R 、 t_F については次ページを参照して下さい。電源電圧範囲、動作温度、および次ページで規定されていない AC 特性については、納入仕様書に記載されている「電気的特性」を参照して下さい。

A - 1.1.1 立ち上がり、立ち下がり時間

記号	項目	注	Min.	Max.	単位
t_{VR}	V_{CC} 立ち上がり時間	1	0.5	30000	$\mu s/V$
t_R	入力信号立ち上がり時間	1, 2		1	$\mu s/V$
t_F	入力信号立ち下がり時間	1, 2		1	$\mu s/V$

注:

1. サンプル値であり、全数テストは実施していません。
2. 電源投入時に限らず通常動作時に対してもこの規定が適用されます。

A - 1.2 グリッチ・ノイズ

図 A-2 (b) に示すような、 $V_{IH}(\text{Min.})$ 以下または $V_{IL}(\text{Max.})$ 以上となるようなグリッチ・ノイズをアドレス、データ、リセット、および制御信号に入力しない様御願ひ致します。許容されるグリッチ・ノイズを図 A-2 (a) に示します。

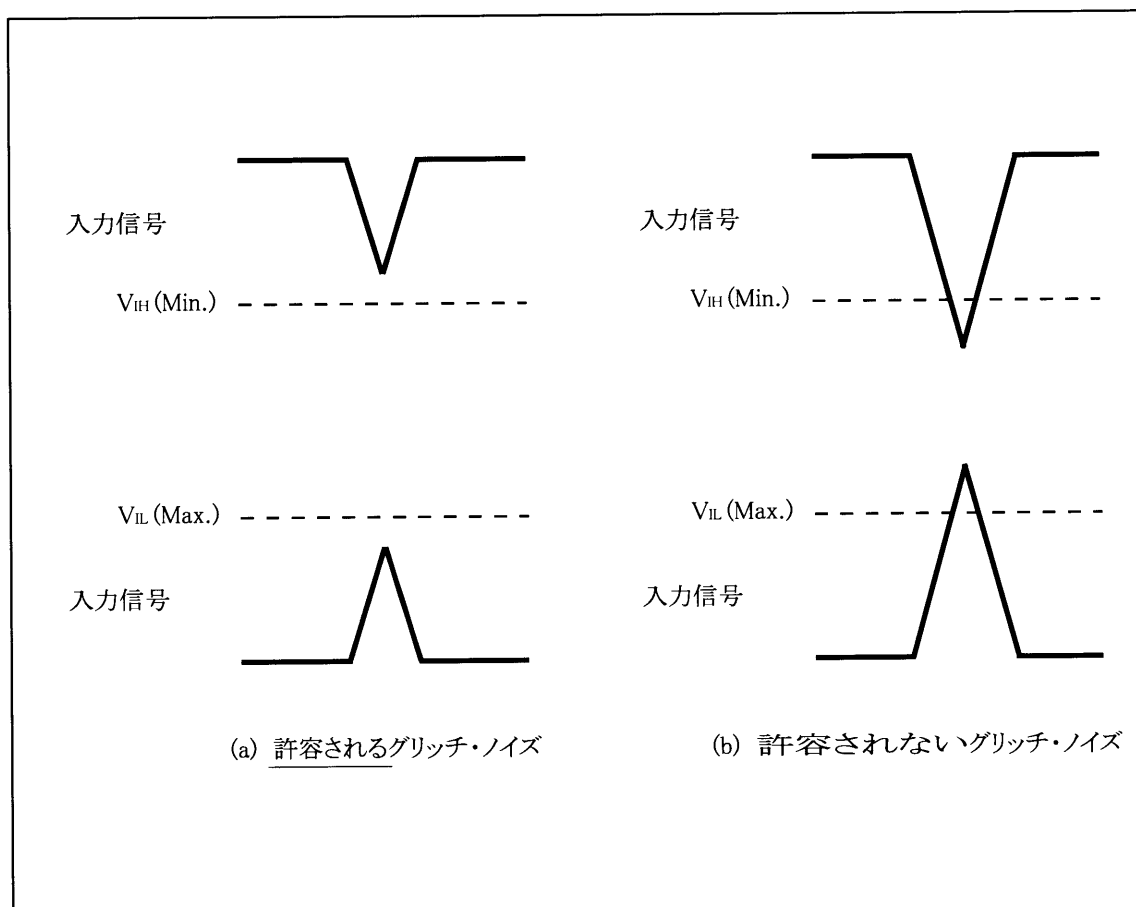


図 A-2. グリッチ・ノイズの波形

$V_{IH}(\text{Min.})$ および $V_{IL}(\text{Max.})$ については、納入仕様書に記載されている「DC 特性」を参照して下さい。

A - 2 関連資料情報⁽¹⁾

ドキュメント No.	ドキュメント名
AP-001-SD	Flash Memory Family Software Drivers
AP-006-PT	SHARP フラッシュメモリのデータ保護方法
AP-007-SW	RP#, VPP 電位切り替え回路

注：

1. 資料御請求の際はお近くの SHARP 営業所まで御連絡下さい。